

公開実用平成 4-30730

⑨ 日本国特許庁 (JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報 (U) 平4-30730

⑬ Int. Cl. 5

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月12日

H 01 L 21/3205
21/82

6810-4M H 01 L 21/88
7638-4M 21/82

Z
W

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 半導体集積回路

⑮ 実 願 平2-72505

⑯ 出 願 平2(1990)7月5日

⑰ 考 案 者 宗 像 恒 純 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 考案の名称

半導体集積回路

2. 実用新案登録請求の範囲

半導体集積回路チップの外部より半導体集積回路チップの周辺端子部分を経由し、バッファ回路を介さないで直接多層配線における上層配線層を用いて、チップ内部の回路まで配線される、あるいは半導体集積回路チップ上を通り抜け他の辺の周辺端子まで配線される場合、その配線の下層に存在する各種素子あるいは配線との間に必らず電源電位あるいは接地電位が印加された中間層配線を設けた部分を少なくとも含んだことを特徴とする半導体集積回路。

3. 考案の詳細な説明

〔産業上の利用分野〕

この考案は半導体集積回路チップの配線レイアウト構造に関するものである。

〔従来技術〕

第7図は従来半導体集積回路の平面図で、図

において、(1)は半導体集積回路チップ、(2)は周辺端子、(3)は電源端子、(4)は接地端子、(5)はバッファ回路セル、(6)は内部回路レイアウトパターン、(7)は上層配線である。

従来、図に示す様に半導体集積回路チップ(1)の外部より半導体集積回路チップの周辺端子(2)部分を経由し、バッファ回路セル(5)を介さないで、直接多層配線における上層配線(7)層を用いてチップ内部の回路まで配線される場合、その上層配線(7)の下層に存在する各種素子あるいは他の配線との間に、何らの物理的措置をすることなく配線されていた。そのため、外部から入力されるスイッチング速度の速い高調波成分を多く含む信号により、半導体集積回路チップ(1)内部の動作が容量結合クロストーク現象により、影響を受けて誤動作してしまうことがあつた。容量結合クロストーク現象とはどういうものか次に述べる。第5図に示す様に、半導体集積回路チップ内部の配線(9)と外部から入力される配線(8)の信号が図示のようにクロスしているとすると、第5図中の斜線で示す部分(

面積 S) において、絶縁膜 (膜厚 l , 絶縁膜物質の誘電率 ϵ) が非常に薄いため、

$$\text{容量 } C = \epsilon S / l \quad \dots (1)$$

上記(1)式から、無視できない値の容量が寄生的に発生する。そのため、第6図に示す様な電気回路と等価となる。そして、もし信号 b が立上がり / 立下がりスピードの高速なパルス波形であつたとすると、値の変化する部分にかなりの高調波成分を含んでいる。また、第6図のリアクタンス成分は、

$$|Z| = 1 / \omega C = 1 / 2\pi f C \quad \dots (2)$$

であり、高い周波数ほどリアクタンスが低く、すなわち値が変化する部分が特にリアクタンスが低く、信号 b は容量 C を通り抜け i 側に微分波形信号が乗り移る。そのため、本来の信号 i の波形にこの微分波形が重畳し、その影響を受けた波形により本来の動作をしなくなる。この様な現象をクロストークと呼ぶ。

〔 考案が解決しようとする課題 〕

従来の半導体集積回路は以上のように構成され

ていたので、外部からの入力信号のスイッチングスピードの度合や半導体集積回路チップ上の配線の如何によつてクロストークが現われたりするという問題点があつた。

この考案は上記のような問題点を解消するためになされたもので、クロストークを避けることができるレイアウトパターンを備えた半導体集積回路チップを得ることを目的とする。

〔課題を解決するための手段〕

この考案に係る半導体集積回路は、外部から周辺端子経由でバッファ回路を介さないで、直接上層配線を用いチップ内部の回路レイアウトパターン上を配線する場合、この配線とチップ内部の回路とを分離するための電位固定（電源電位あるいは接地電位）の中間配線層を設けたものである。

〔作用〕

この考案における中間配線層は、接地電位に電位固定することにより、従来の構成例であつた第6図の等価回路が第4図の等価回路となり、信号bが信号1側に影響を与えることを防止すること

ができる。

〔実施例〕

以下、この考案の一実施例を図について説明する。

第1図はこの考案の一実施例である半導体集積回路の平面図で、図において、(1)は半導体集積回路チップ、(2)は周辺端子、(3)は周辺端子(2)の内で特に電源端子、(4)は周辺端子(2)の内で特に接地端子、(5)は入／出力バッファ回路セル、(6)は内部回路レイアウトパターン、(7)は外部から端子Aを介し半導体集積回路の上層配線層を経由し端子Bを介し外部へ通り抜けて行く配線パターンである。今、上層配線(7)は端子Aから端子Bまで半導体集積回路チップの上層配線層で配線されているが、この場合、第1図に示す様に、この上層配線(7)と下層の内部回路レイアウトパターンとの間に接地電位に接続された中間配線層(10)を設け、外部信号と内部回路とを分離できる様にしている。

なお、上記実施例では接地電位に接続した場合を示しているが、電源電位に接続してもよい。

また、上記実施例では外部信号が通り抜ける場合を示しているが、第2図の様に半導体集積回路チップの内部回路に入力される場合でも同様である。

さらに、第3図に示す様に、複数外部信号の上層配線(7)についても同様の構成で同一の効果を奏することができる。

〔考案の効果〕

以上のようにこの考案によれば、中間配線層を設け電位固定することによりレイアウトパターンの集積密度を損なうことなく、外部信号から内部回路を分離し、内部回路の誤動作を防止することができ、同時に上層配線を自由に活用することができるという効果がある。

4. 図面の簡単な説明

第1図はこの考案の一実施例である半導体集積回路の平面図、第2図、第3図はこの考案の他の実施例を示す半導体集積回路の平面図、第4図はこの考案によつて得られた中間配線層の等価回路の回路図、第5図、第6図はクロストーク現象を

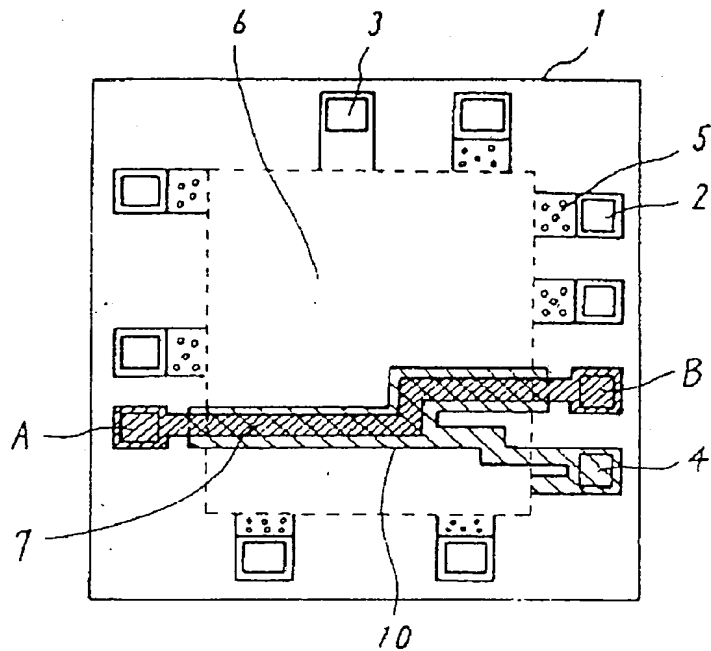
説明するための説明図、第7図は従来の半導体集積回路の平面図である。

図において、(1)は半導体集積回路チップ、(2)は周辺端子、(3)は電源端子、(4)は接地端子、(5)はパッド回路セル、(6)は内部回路レイアウトパターン、(7)は上層配線、(10)は中間配線層を示す。

なお、図中、同一符号は同一、又は相当部分を示す。

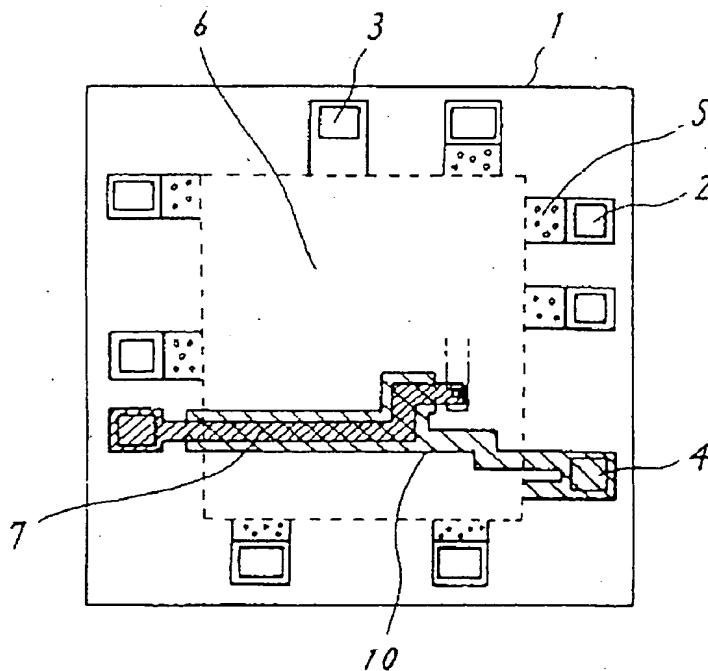
代理人 大 岩 増 雄

第 1 図

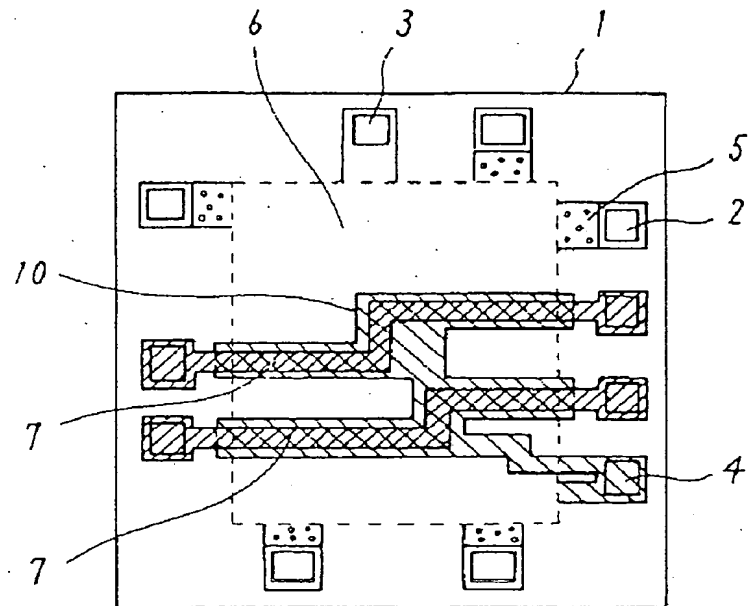


- 1: 半導体集積回路チップ
- 2: 周辺端子
- 3: 電源端子
- 4: 接地端子
- 5: バッファ回路セル
- 6: 内部回路
レイアウトパターン
- 7: 上層配線
- 10: 中間配線層

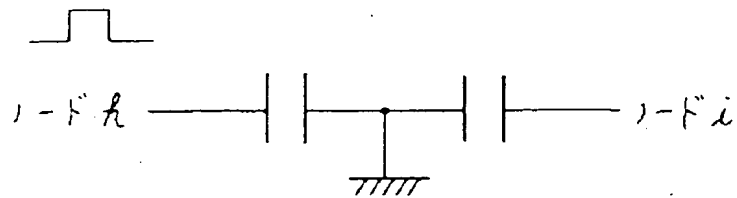
第 2 図



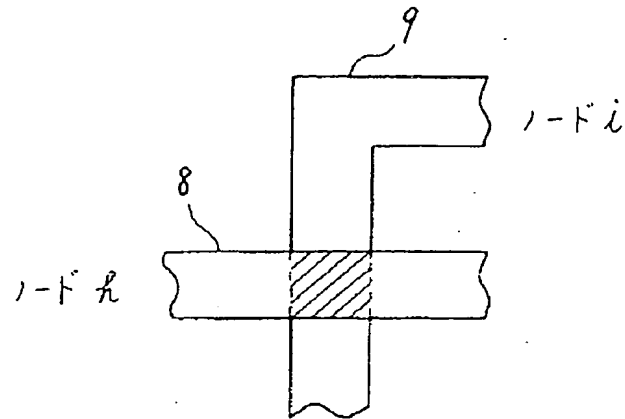
第 3 図



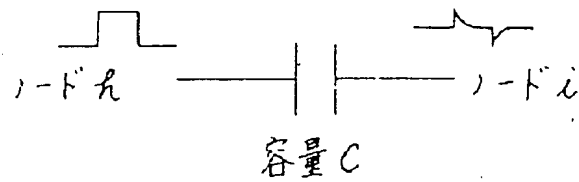
第 4 図



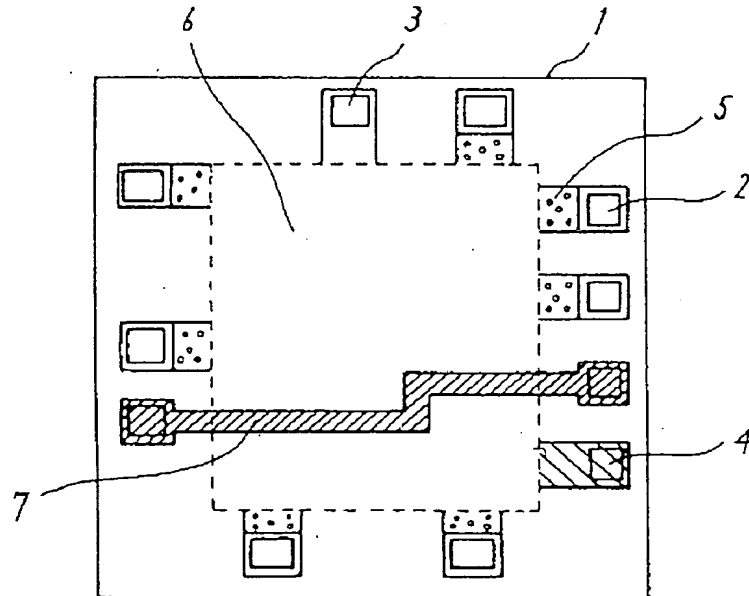
第 5 図



第 6 図



第 7 図



手 続 補 正 書 (自 発)

平成 2 年 11 月 日



特許庁長官殿

1. 事件の表示

平
実願昭 2-72505

訂正

2. 考案の名称

半 導 体 集 積 回 路

3. 補正をする者

事件との関係 実用新案登録出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

方 式 査
審



(1)



実開4- 30730
320

5. 補正の対象

明細書の実用新案登録請求の範囲の欄、および
考案の詳細な説明の欄。

6. 補正の内容

(1) 明細書の実用新案登録請求の範囲を別紙のと
おり訂正する。

(2) 明細書第2頁第11行の「間に、何らの物理
的措置を」を「間に、何らのクロストーク防止の
ための物理的措置を」と訂正する。

(3) 明細書第8頁第1行～第20行を別紙のと
おり訂正する。

(4) 明細書第4頁第19行～第20行の「信号b
が信号i側に影響を」を「ノードbの信号がノー
ドi側の信号に影響を」と訂正する。

7. 添付書類の目録

(1) 訂正後の実用新案登録請求の範囲を記載した
書面

1 通

(2) 訂正明細書(第8頁)

1 通

以 上

実用新案登録請求の範囲

半導体集積回路チップの外部より半導体集積回路チップの周辺端子部分を経由し、バッファ回路を介さないで直接多層配線における上層配線層を用いて、チップ内部の回路まで配線される、あるいは半導体集積回路チップ上を通り抜け他の辺あるいは同一辺の周辺端子まで配線される場合、その配線の下層に存在する各種素子あるいは配線との間に必らず電源電位あるいは接地電位が印加された中間層配線を設けた部分を少なくとも含んだことを特徴とする半導体集積回路。

訂正後の明細書第 3 頁を記載した書面
面積 S) において、絶縁膜 (膜厚 d , 絶縁膜物質
の誘電率 ϵ) が非常に薄いため、

$$\text{容量 } C = \epsilon S / d \quad \dots (1)$$

上記 (1) 式から、無視できない値の容量が寄生的に
発生する。そのため、第 6 図に示す様な電気回路
と等価となる。そして、もしノード h の信号が立
上がり / 立下がりスピードの高速なパルス波形で
あったとすると、値の変化する部分にかなりの高
周波数成分を含んでいる。また、第 6 図のリアク
タンス成分は、

$$|Z| = 1 / \epsilon C = 1 / 2 \pi f C \quad \dots (2)$$

であり、式 (2) より高い周波数ほどリアクタンスが
低く、すなわち値が変化する部分が特にリアク
タンスが低く、ノード h の信号は容量 C を通り抜け
ノード i 側に微分波形信号が乗り移る。そのため、
本来のノード i の信号波形にこの微分波形が重畳
し、その影響を受けた波形により本来の動作をし
なくなる。この様な現象をクロストークと呼ぶ。

(考案が解決しようとする課題)

(1)

従来の半導体集積回路は以上のように構成され

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.